

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076356

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 29/786
G02F 1/1333
G02F 1/1368
H01L 21/8229
H01L 27/102
H01L 27/108
H01L 21/8242
H01L 21/331
H01L 29/73
H01L 33/00
H01L 41/08
H01S 5/026

(21)Application number : 2000-264885

(71)Applicant : JAPAN SCIENCE &
TECHNOLOGY CORP

(22)Date of filing : 01.09.2000

(72)Inventor : KAWASAKI MASASHI
ONO HIDEO
KOINUMA HIDEOMI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a transparent transistor using a transparent channel layer of zinc oxide doped with a 3d transition metal element, etc., free from the need of heat treatment.

SOLUTION: A channel layer 11 is formed of a transparent semiconductor, e.g. zinc oxide ZnO doped with a 3d transition metal element, etc. A source 12, a drain 13 or a gate 14 entirely or partly uses a transparent electrode which uses e.g. a transparent conductive material such as conductive ZnO doped with a III element, etc. A gate insulation layer 15 uses e.g. a transparent insulative material such as insulative ZnO doped with an element capable of taking a monovalence or a V element or 3d transition metal element. A substrate 16 may use a material comparatively easily affected by heat treatment e.g. plastics,



(A)



(B)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76356

(P2002-76356A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/786		G 0 2 F 1/1333	5 0 0 2 H 0 9 0
G 0 2 F 1/1333	5 0 0	H 0 1 L 33/00	J 2 H 0 9 2
1/1368		H 0 1 S 5/026	5 F 0 0 3
H 0 1 L 21/8229		H 0 1 L 29/78	6 1 8 B 5 F 0 4 1
27/102		G 0 2 F 1/136	5 0 0 5 F 0 7 3

審査請求 未請求 請求項の数11 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2000-264885(P2000-264885)

(22) 出願日 平成12年9月1日 (2000.9.1)

(71) 出願人 396020800

科学技術振興事業団

埼玉県川口市本町4丁目1番8号

(72) 発明者 川崎 雅司

神奈川県相模原市相模大野4-2-5-116

(72) 発明者 大野 英男

宮城県仙台市泉区桂3-33-10

(72) 発明者 鯉沼 秀臣

東京都杉並区荻窪3-47-8

(74) 代理人 100107010

弁理士 橋爪 健

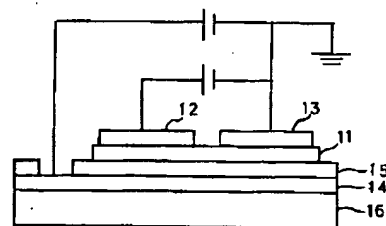
最終頁に続く

(54) 【発明の名称】 半導体デバイス

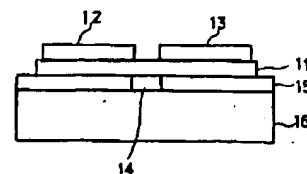
(57) 【要約】

【課題】 3d遷移金属元素をドーピングした酸化亜鉛等の透明チャンネル層を用い、熱処理を不要とした透明なトランジスタを提供する。

【解決手段】 チャンネル層11は、例えば、3d遷移金属元素をドーピングした酸化亜鉛ZnO等の透明な半導体で形成される。ソース12、ドレイン13又はゲート14は、各々の内、全部又は一部に透明電極が用いられる。透明電極としては、例えば、III族元素等をドーピングした導電性ZnO等の透明導電性材料が用いられる。ゲート絶縁層15としては、例えば、1価の価数を取りうる元素又はV族元素又は3d遷移金属元素をドーピングした絶縁性ZnO等の透明絶縁性材料が用いられる。基板16は、熱処理と比較的弱い材料、例えば、プラスチック、ポリエチレン、ポリマーフィルム等を用いることができる。



(A)



(B)

【特許請求の範囲】

【請求項1】酸化亜鉛 ZnO 、酸化カドミウム CdO 、 ZnO にIIIB元素若しくはIIA元素若しくはVIB元素を加えた化合物又は混合物の内いずれかをを用い、3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物をドーブした透明チャンネル層と、

III族元素若しくはVII族元素若しくはI族元素若しくはV族元素のいずれかをドーブした若しくはドーブしない導電性 ZnO 等の透明導電性材料、 In_2O_3 若しくは SnO_2 若しくは $(In-Sn)O_x$ などの透明導電体、又は、透明でない電極材料を、その全部又は一部に用いた、ソース及びドレイン及びゲートと、前記透明チャンネル層が形成されるための絶縁性基板を備えた半導体デバイス。

【請求項2】前記絶縁性基板は、ポリエチレン、ポリエチレンテレフタレート、プラスチック、ガラス、各種ポリマー、紙類、可塑性があり透明な絶縁性基板のいずれかをを用いたことを特徴とする請求項1に記載の半導体デバイス。

【請求項3】前記3d遷移金属元素は、ニッケル、マンガ、ン、コバルト又は鉄であることを特徴とする請求項1に記載の半導体デバイス。

【請求項4】前記透明チャンネル層は、複数種類の3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物が、各々予め定められた割合又はドーブ量でドーブされていることを特徴とする請求項1に記載の半導体デバイス。

【請求項5】前記透明チャンネル層は、3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物のドーブ量が均一でないことを特徴とする請求項1に記載の半導体デバイス。

【請求項6】前記透明チャンネル層と前記ゲートとの間に、1価の価数を取りうる元素若しくはV族元素若しくは3d遷移金属元素をドーブした絶縁性 ZnO 、 SiN 、 SiO_2 等の透明絶縁性材料、透明絶縁性酸化物、又は、プラスチック、ポリマーフィルム等の透明絶縁層を用いたゲート絶縁層をさらに備えた請求項1に記載の半導体デバイス。

【請求項7】前記透明チャンネル層と前記ゲートとの間に、 $Zn_{1-x}Li_xO$ 又は $Zn_{1-x}(Li_yMg_{x-y})O$ 等の強誘電性の透明絶縁材料を用いたゲート絶縁層をさらに備え、前記ゲート絶縁層がメモリ機能を有することを特徴とする請求項1に記載の半導体デバイス。

【請求項8】前記ドレイン若しくはソースと連続した領域、又は、前記ドレイン若しくはソースと接続された他の半導体の領域と、前記領域に接合された半導体層とにより形成される発光部をさらに備えた請求項1に記載の半導体デバイス。

【請求項9】III族元素若しくはVII族元素をドーブし、さらに3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物をドーブした ZnO 等の透明n形半導体により形成されたエミッタ並びにコレクタ、又は、ベースと、

I族元素若しくはV族元素をドーブし、さらに3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物をドーブした ZnO 等の透明p形半導体により形成されたベース、又は、エミッタ並びにコレクタと、

III族元素若しくはVII族元素若しくはI族元素のいずれかをドーブした若しくはドーブしない導電性 ZnO 等の透明導電性材料、 In_2O_3 若しくは SnO_2 若しくは $(In-Sn)O_x$ などの透明導電体、又は、透明でない電極材料を、その全部又は一部に用い、前記ベース、エミッタ及びコレクタにそれぞれ形成された、ベース電極及びエミッタ電極及びコレクタ電極を備えた半導体デバイス。

【請求項10】前記コレクタ若しくはエミッタと連続した領域、又は、前記コレクタ若しくはエミッタと接続された他の半導体の領域と、前記領域に接合された半導体層とにより形成される発光部をさらに備えた請求項9に記載の半導体デバイス。

【請求項11】請求項1又は7に記載の半導体デバイスを、1価の価数を取りうる元素若しくはV族元素若しくは3d遷移金属元素をドーブした絶縁性 ZnO 、 SiN 、 SiO_2 等の透明絶縁性材料、透明絶縁性酸化物、又は、プラスチック、ポリマーフィルム等の透明絶縁層を用いた絶縁層を介して、複数個積層したことを特徴とする半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイスに係り、特に、透明トランジスタと、透明トランジスタを積層した半導体デバイス、及び、透明トランジスタを発光素子の駆動用又はメモリの読み書き用等に応用した半導体デバイスに関する。なお、本発明において、説明の簡略上、「透明」という概念には、「透明又は透光性を有する」という概念が含まれるものとする。

【0002】

【従来の技術】基板上への高性能薄膜トランジスタは、液晶表示デバイスへの応用を筆頭に、面発光レーザ、エレクトロルミネセンス素子等の発光素子の駆動素子、メモリ等のように、光デバイス分野での多種多様な応用に用いることができる。

【0003】また、一般に、液晶表示デバイスの駆動用等のトランジスタとしては、アモルファスシリコンや多結晶シリコン等を用いた薄膜トランジスタが用いられている。これらの材料は、可視光領域に光感度を有している。光によりキャリアが生成されて抵抗が低下す

る。そのため、光が照射されると、トランジスタが、オフ状態に制御されているはずなのに、オン状態になってしまう場合がある。そこで、トランジスタをオフ状態に持続するために、従来では、金属被膜等の光の遮断層を用いて、光によるキャリア抵抗の低下を防止している。

【0004】一般に、液晶表示デバイスは、ノード型パソコン等に多く使用されており、省エネルギー化、高輝度化及び小型化が求められている。そのためには、単位画素に占める有効な表示部面積の割合を向上させることが有効である。しかしながら、上述のように、駆動用のトランジスタでは、金属薄膜等の光の遮断層が形成されるため、画素の面積割合（開口率）が減少する。よって、輝度の明るい表示素子の開発には、トランジスタの高性能化によるトランジスタ面積の縮小、又は、バックライトの高輝度化が必要であった。しかしながら、トランジスタの高性能化による対策では、歩留まりの限界があり、コストが上昇することになる。また、バックライトを明るくすることによる対策では、エネルギー消費量が多くなってしまう。

【0005】本発明者等は、これまで、酸化亜鉛（ZnO）を半導体として用いたトランジスタに関する研究を行い、ガラス基板上に透明な薄膜トランジスタが形成可能であることを明かにしてきた。酸化亜鉛をチャンネルとして用いる透明薄膜トランジスタについて、特許出願中である（特願平10-326889号、特願平11-082043号参照）。

【0006】また、本発明者等はこれまでに、ガラス基板上に透明酸化亜鉛電界効果トランジスタ（ZnO-TFT）を作製し、ON/OFF比 4.5×10^5 、しきい値電力1.3V、電界効果移動度 $150 \text{ cm}^2/\text{Vs}$ の特性が得られたことを報告した（七種ら、2000.3 応用物理学会予稿集、29P-YL-16、参照）。

【0007】このように、従来困難であった酸化亜鉛の配向制御や価電子制御が現在可能となったため、本発明者らの既出願では、酸化亜鉛等の透明チャンネル層を用いた一部又は全部が透明なトランジスタを提供した。すなわち、チャンネル層（導電層）に透明な酸化亜鉛等の材料を用いることにより、可視光領域に光感度を有しないようにし、遮光層を形成する必要を無くし、液晶表示デバイス等の表示部の面積割合を向上させるようにしたトランジスタを提供した。

【0008】

【発明が解決しようとする課題】一般に、薄膜トランジスタでは、移動度もさることながら、on/off比（ゲートの電圧でドレイン電流のスイッチを行う際のon状態の電流とoff状態のリーク電流との比）がデバイスを活用する上で重要な要因となる。しかし、十分なon/off比をかせるためには、通常ではn型の電気伝導性を示すZnOを半絶縁化する必要があった。その

ため、従来では、ZnOへのLiのドーブが試みられてきた。この場合も、所望のon/off比（例えば、 10^5 以上）及び易動度（移動度）（例えば、 $100 \text{ cm}^2/\text{Vs}$ 以上）という性能を発揮するには、高温（例えば、500℃程度）のアニール処理が必要であった。そして、アニール処理に耐えるための基板材料等の各材料を選択する必要があった。

【0009】また、従来、米国特許第5744864号のように、電流を流れやすくするためにチャンネル層に不純物を混入して縮退半導体とする試みがある。しかしながら、この場合、off状態でのリーク電流を低く抑えることはむずかしかった。

【0010】本発明は、以上の点に鑑み、ZnO等の透明なチャンネル材料にNi等の3d遷移金属元素を添加することにより高低抗化することで、比較的低温（例えば、室温等）における薄膜形成によっても、所望のon/off比及び移動度を得て、従来の性能を凌駕する非常に高性能の薄膜トランジスタを形成することを目的とする。また、本発明は、プラスチック基板、高分子材料基板等、従来熱処理に耐えられない材料を用いて、透明電子回路を形成することを目的とする。また、本発明は、半導体の性能とプロセスの許容度を著しく向上させることを目的とする。

【0011】また、本発明は、透明トランジスタを、面発光レーザやエレクトロルミネセンス素子等の発光素子の駆動用、メモリ用等のように光デバイス分野での多様な応用に用いることを目的とする。さらに、本発明は、透明な電子素子として、各種の幅広い応用に用いた半導体デバイスを提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の第1の解決手段によると、酸化亜鉛ZnO、酸化カドミウムCdO、ZnOにIIIB元素若しくはIIA元素若しくはVIB元素を加えた化合物又は混合物のいずれかを用い、3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物をドーブした透明チャンネル層と、III族元素若しくはVII族元素若しくはI族元素若しくはV族元素のいずれかをドーブした若しくはドーブしない導電性ZnO等の透明導電性材料、 In_2O_3 若しくは SnO_2 若しくは $(\text{In-Sn})\text{O}_x$ などの透明導電体、又は、透明でない電極材料を、その全部又は一部に用いた、ソース及びドレイン及びゲートと、前記透明チャンネル層が形成されるための絶縁性基板を備えた半導体デバイスを提供する。

【0013】前記半導体デバイスは、さらに、前記半導体デバイスの前記ドレイン若しくはソースと連続した領域、又は、前記ドレイン若しくはソースと接続された他の半導体の領域と、前記領域に接合された半導体層とにより形成される発光部を備えてもよい。前記半導体デバイスは、さらに、前記半導体デバイスの前記ドレイン若

しくはソースと連続した領域、又は、前記ドレイン若しくはソースと接続された他の半導体若しくは導体の領域と、前記領域上の前記ゲート絶縁層若しくは他の絶縁層と、前記ゲート絶縁層若しくは前記他の絶縁層上の半導体層又は導体層とにより形成されるコンデンサを備えてもよい。

【0014】本発明の第2の解決手段によると、III族元素若しくはVII族元素をドーパし、さらに3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物をドーパしたZnO等の透明n形半導体により形成されたエミッタ並びにコレクタ、又は、ベースと、I族元素若しくはV族元素をドーパし、さらに3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物をドーパしたZnO等の透明p形半導体により形成されたベース、又は、エミッタ並びにコレクタと、III族元素若しくはVII族元素若しくはI族元素のいずれかをドーパした若しくはドーパしない導電性ZnO等の透明導電性材料、 In_2O_3 若しくは SnO_2 若しくは $(\text{In}-\text{Sn})\text{O}_x$ などの透明導電体、又は、透明でない電極材料を、その全部又は一部に用い、前記ベース、エミッタ及びコレクタにそれぞれ形成された、ベース電極及びエミッタ電極及びコレクタ電極を備えた半導体デバイスを提供する。

【0015】前記半導体デバイスは、さらに、前記半導体デバイスの前記コレクタ若しくはエミッタと連続した領域、又は、前記コレクタ若しくはエミッタと接続された他の半導体の領域と、前記領域に接合された半導体層とにより形成される発光部を備えてもよい。前記半導体デバイスは、さらに、前記半導体デバイスの前記コレクタ若しくはエミッタと連続した領域、又は、前記コレクタ若しくはエミッタと接続された他の半導体若しくは導体の領域と、前記領域上の絶縁層と、前記絶縁層上の半導体層又は導体層とにより形成されるコンデンサを備えてもよい。

【0016】さらに、上述のような半導体デバイスを複数備え、複数の前記トランジスタ間の配線の全部又は一部に、III族元素若しくはVII族元素若しくはI族元素若しくはV族元素のいずれかをドーパした若しくはドーパしない導電性ZnO等の透明導電性材料、 In_2O_3 若しくは SnO_2 若しくは $(\text{In}-\text{Sn})\text{O}_x$ などの透明導電体、又は、透明でない電極材料を用いてもよい。

【0017】前記半導体デバイスは、さらに、III族元素若しくはVII族元素若しくはI族元素若しくはV族元素のいずれかをドーパした若しくはドーパしない導電性ZnO等の透明導電性材料、 In_2O_3 若しくは SnO_2 若しくは $(\text{In}-\text{Sn})\text{O}_x$ などの透明導電体により形成されるインダクタを備えるようにしてもよい。

【0018】半導体デバイスを複数マトリクス状に配列し、各トランジスタによりコンデンサ又は発光部が駆動されるようにしてもよい。さらに、本発明は、透明トラ

ンジスタを積層とした半導体デバイス、発光素子及びメモリ等へ応用した半導体デバイスを提供する。

【0019】

【発明の実施の形態】(1)電解効果トランジスタ(Field Effect Transistor、FET)

図1に、本発明に係るトランジスタの第1の実施の形態の断面図を示す。図1(A)に示されるように、第1の実施の形態のトランジスタは、FETに関するものであり、チャンネル層11、ソース12、ドレイン13、ゲート14、ゲート絶縁層15、基板16を備える。基板16の上には、ゲート14、ゲート絶縁層15を介してチャンネル層11が形成される。チャンネル層11には、ゲート絶縁層15、ソース12及びドレイン13が形成される。

【0020】図1(B)には、第1の実施の形態の変形例が示される。このトランジスタは、基板16の上に、ゲート14、ゲート絶縁層15が形成される。さらに、チャンネル層11には、上側に、ソース12及びドレイン13がオーミック接合により、下側に、ゲート14がショットキー接合により、それぞれ形成される。この例では、図1(A)と比べてチャンネル層とゲート14の間にゲート絶縁層15がない。

【0021】以下に各構成要素の材料について説明する。第1に、チャンネル層11は、透明な半導体で形成される。透明なチャンネル層の材料としては、例えば、酸化亜鉛ZnO、酸化カドミウムCdO、ZnOに格子定数やバンドギャップなどを調整するためにIIB元素(Cd、Hg)若しくはIIA元素(Be、Mg、Ca、Sr、Ba、Ra)若しくはVIB元素(S、Se、Te、Po)を加えた化合物又は混合物等の内いずれかを用い、3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物をドーパしたものである。IIB元素を加えたものとしては、例えば、酸化カドミウム亜鉛 $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 、IIA元素を加えたものとしては、例えば、酸化マグネシウム亜鉛 $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ 等が挙げられる。3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物をドーパすることによりチャンネル層の抵抗率を上昇させることができる。3d遷移金属元素としては、例えば、Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Cuがある。一例としては、Ni、Mn、コバルト、鉄等を適宜の量で(例えば、Niを2%程度等)、ドーパすることができる。

【0022】チャンネル層11は、複数種類の3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物が、各々予め定められた割合又はドーパ量でドーパするようにしてもよい。例えば、NiとMnを適宜の量ドーパすることができる。また、チャンネル層11は、3d遷移金属元素又は希土類又は透明半導体の透明性を失わずに高抵抗にする不純物のドーパ量

を均一な分布としなくてもよい。その際、基板16に対して平行にグラデーションをかけても、垂直又は両方向にグラデーションをかけてもよい。さらに、ドーパ濃度を一様に増加又は減少させるグラデーションの他に、適宜増域したり又は増減を繰り返したり、離散的又は段階的に濃度を調節したり、複数の異なる濃度の層状態としたり、適宜の均一でない濃度分布とすることができる。

【0023】図2に、3d遷移金属元素のドーパ量と抵抗値の関係についての説明図を示す。なお、黒ぬりつぶしのプロットはドーピング元素が完全に（略完全）に溶けていることを示し、黒ぬりつぶし出ないプロットはドーピング元素が完全に溶けていないことを示す。これは、熱処理をしない場合のデータである。ドーパしないZnOの抵抗に比べ、3d遷移金属元素をドーパしたZnOは、熱処理をしなくてもいずれも十分な高抵抗を示すことができる。例えば、Mn、Sc、Cr等は、低い添加濃度でも、抵抗値を比較的高くすることができる。

【0024】第2に、ソース12、ドレイン13又はゲート14は、各々の内、全部又は一部に透明電極が用いられる。透明電極としては、例えば、III族元素（B、Al、Ga、In、Tl）、VII族元素（F、Cl、Br、I）、I族元素（Li、Na、K、Rb、Cs）、V族元素（N、P、As、Sb、Bi）のいずれかをドーパした導電性ZnO、又は各種元素をドーパしない導電性ZnO等の透明導電性材料が用いられる。ここで、これらの元素をドーパする場合、ドーパ量は適宜設定することができる（例えば、高濃度にn形をドーパしたn++-ZnO等を用いることができるが、これに限定されない）。さらに、ソース12、ドレイン13又はゲート14としては、その他に、In₂O₃、SnO₂、（In-Sn）O_xなどの透明導電体を用いることができる。また、透明な材料以外にも、Al、Cu等の金属や、高ドーパした半導体ポリシリコン等の透明でない電極材料を用いても良い。さらに、一部透明な材料を採用し、一部透明でない材料を採用することもできる。

【0025】第3に、ゲート絶縁層15としては、例えば、1価の価数を取りうる元素又はV族元素又は、3d遷移金属元素をドーパした絶縁性ZnO、SiN、SiO₂等の透明絶縁性材料が用いられる。1価の価数を取りうる元素としては、例えば、I族元素（Li、Na、K、Rb、Cs）、Cu、Ag、Au等がある。V族元素としては、N、P、As、Sb、Bi等がある。ゲート絶縁層15としては、その他にも、Al₂O₃、MgO、CeO₂、ScAlMgO₄、SiO₂等の透明絶縁性酸化物を用いることができる。さらに、ポリマーフィルム、ビニール、プラスチック等の透明な絶縁体を用いても良い。なお、ゲート絶縁層15は、チャンネル11の材料と格子マッチングの良い高絶縁性の材料が好ましい。酸化亜鉛をチャンネル層とした場合、例えば、ScAlMgO₄等が用いられる。これらは、全ての面

内の格子定数が1%以内で一致しており、相互にエピタキシャル成長が可能である。また、ゲート絶縁層15に、強誘電性の材料を用いることにより、トランジスタ自体がメモリ機能を有するようにすることもできる。強誘電性の材料として、例えば、Zn_{1-x}Li_xO、Zn_{1-x}（Li_yMg_{x-y}）O等を用いることができる。

【0026】なお、SiNは、例えば、プラズマCVD、スパッタリング等の工程で作成することができる。SiO₂は、例えば、プラズマCVD、スパッタリング、スピンオングラス等の工程で作成することができる。

【0027】第4に、基板16は、主に、絶縁性の材料が用いられ、特に、加熱に比較的弱い材料も使用することができる。例えば、ポリエチレン、ポリエチレンテレフタレート（PET）、プラスチック、ポリマーフィルム、各種高分子材料ガラス、サファイア、紙類、可塑性があり透明な絶縁性基板を用いることができる。例えば、液晶表示画面等のように透明性が要求されるような用途には、透明の基板を用いると良い。また、基板は、用途によっては、透明でない材料を用いても良い。

【0028】（2）特性

まず、実験に用いた本発明に係るトランジスタの製法の一例を説明する。ここでは、図1（A）の構成に従い説明する。ゲート電極14としてITO（インジウムドーパ酸化すず）（例、120nm）が形成されたガラス、プラスチック、ポリマー等の基板16（例、0.7mm）を用いる。このITO基板上に適宜の厚さ（例えば、400～500nm）のゲート絶縁層15は、例えば、アモルファスSiN_x、SiO_x等のプラズマCVD、Al₂O₃、MgO等の蒸着又はスパッタリングなどで形成する。このように、ベーキング工程を省略する方法でゲート絶縁層15を形成することにより、室温等の低温での半導体デバイスの製作が可能となる。その後、パルスレーザ堆積法CVD法、スパッタリング法等で3d遷移金属元素として、例えばNiを添加したZnOのチャンネル層11を室温で50～150nm堆積させた。成長条件は、例えば、酸素分圧1×10⁻¹torr、基板温度10～30℃程度である。さらに、ウェットエッチング又はドライエッチングによりチャンネル層11を加工した後、オーミック電極であるAlのソース12、ドレイン13の各電極を蒸着し、チャンネル長及びチャンネル幅をそれぞれ、例えば30μm及び150μmのボトムゲート型の半導体デバイスを作製した。なお、ゲート絶縁層15としてSOGをスピンコートして低温ベーキングすることで形成することもできる。この場合、製作上最高温度は、低温ベーキングする工程におけるものとなり、低く抑えることができる。なお、以上の製法は、一例であり、各材料、各種パラメータ、工程は適宜変更することができる。

【0029】ここで、本発明の顕著な効果を説明するための比較として、図3に、従来のトランジスタ特性の説明図を示す。図3(A)は、ゲート電圧 V_g を-5から5Vまで振ったときのソース・ドレイン間の電圧・電流特性を示す。この図では、キャリアを空乏(deplete)しているはずの負のゲート電圧でも電流が流れてしまっている。本来は横軸に張り付くような(ドレイン電流 I_d が0に近づくような)特性でなければいけない。図3(B)はソース・ドレイン間の電圧 V_{ds} を10Vで固定したときに流れるドレイン電流 I_d をゲート電圧 V_g の関数として表示したものである。この図では、ゲート電圧 V_g を変化させてもたかだか2倍しかドレイン電流 I_d が変調されていない。この理由は、酸素欠損や格子間Znなどの電流を放出するドナーが存在し、チャネルZnO中に多数の電子が注入されているため、電界をかけてもそれらを完全に空乏できないことが原因であると考えられる。一般に、Liは、1価の陽イオンで、ZnO中の電子を補償する添加物として知られている。実際にLiを添加して作ったトランジスタも、アニール処理をしないと、ゲート電圧 V_g をオフとしても又はマイナスとしてもドレイン電流 I_d がオフしない場合があった。なお、例えば、600℃程度でのアニールを施すと、良好なトランジスタ特性を示す。

【0030】このように、従来は、チャネル層の抵抗を十分に上げられないため、off状態でもon状態と同じオーダーのドレイン電流が流れている。このようなトランジスタの特性は、純粋なZnOをチャネル層に使用した場合や、抵抗率を上げるためにLiを添加した場合でもその後の熱処理(600℃でのアニール)を施さない場合等にあらわれる。

【0031】つぎに、図4に、本発明のトランジスタの特性図(1)を示す。これは、各々のゲート電圧 V_g においてドレイン・ソース電圧 V_{ds} を変化させたときのドレイン電流 I_d を示す。図示のように、ゲート電圧 V_g の変化に対して、ドレイン電流 I_d の増幅がみられ、ドレイン・ソース電圧 V_{ds} が4~6V付近でピンチオフしていることが確認できる。このように、本発明のトランジスタは、チャネル層の形成工程等でアニールをしなくても、良好なon-off特性とピンチオフがみられる。

【0032】図5に、本発明のトランジスタの特性図(2)を示す。図5(A)、(B)は、あるドレイン・ソース電圧 V_{ds} (例、10V)においてゲート電圧 V_g を変化させたときのドレイン電流 I_d 及びその平方根 I_d をそれぞれ示す。図5(A)は、on/off比を見やすい形にしたもので、off状態で 10^{-10} A、ON状態で 10^{-5} Aと5桁以上のon/off比(例、 2×10^5)を実現している。図5(B)は、トランジスタがon状態になるしきい値を求めるためのグラフで、ここでは、一例として、1.4Vというしきい

値が得られた。また、本発明のトランジスタは、LiドープのZnOと比較して、電界効果移動度の向上も確認できた。

【0033】(3)他の実施の形態のFET

図6に、本発明に係るトランジスタの第2の実施の形態の断面図を示す。図6(A)に示されるように、第1の実施の形態のトランジスタは、FETに関するものあり、チャネル層11、ソース12、ドレイン13、ゲート14、ゲート絶縁層15、基板16を備える。基板16の上には、チャネル層11が形成される。チャネル層11には、ゲート絶縁層15、ソース12及びドレイン13が形成される。ゲート絶縁層15の上には、ゲート14が形成される。

【0034】図6(B)には、第1の実施の形態の変形例が示される。このトランジスタは、基板16の上に、チャネル層11が形成される。さらに、チャネル層11には、ソース12及びドレイン13がオーミック接合により、ゲート14がショットキー接合により、それぞれ形成される。この例では、図1(A)と比べてゲート絶縁層15がないため、ソース12及びドレイン13とゲート14との間は適当な隙間が設けられる。

【0035】図7に、本発明に係るトランジスタの第3の実施の形態の断面図を示す。図7(A)に示される第3の実施の形態のトランジスタは、FETに関するもので、チャネル層21、ソース22、ドレイン23、ゲート24、ゲート絶縁層25、基板26を備える。基板26の上にソース22及びドレイン23が形成される。これらを覆うように、チャネル層21が形成される。チャネル層21には、さらに、ゲート絶縁層25が形成される。ゲート絶縁層25の上には、ゲート24が形成される。ここでは、ゲート24、ゲート絶縁層25及びチャネル層21が、MIS構造となっている。

【0036】図7(B)に、本発明に係るトランジスタの第3の実施の形態の変形の断面図を示す。このトランジスタは、第2の実施の形態の変形であり、図7(A)に示されたトランジスタとは、ゲート絶縁層25が形成されておらず、ゲート24とチャネル層21とがショットキー接合の構造となっている。図7(A)のようにゲート絶縁層25を有する場合は、ゲートの印加電圧の制限が少ない。これに対し、図7(B)のようにゲート絶縁層25を有しない場合は、ゲート-ソース間及びゲート-ドレイン間の絶縁耐圧が低くなる。また、この場合は、製造プロセスは簡単となる。

【0037】図8に、本発明に係るトランジスタの第4の実施の形態の断面図を示す。第4の実施の形態のトランジスタは、FETに関するものであり、チャネル層31、ソース32、ドレイン33、ゲート34、ゲート絶縁層35、基板36を備える。基板36の上にチャネル層31が形成される。チャネル層31には、ゲート絶縁層35が形成され、ゲート絶縁層35の上には、ゲート

11

34が形成される。ソース32及びドレイン33は、例えば、ゲート絶縁層35をマスクとする拡散又はイオン注入等により、形成されることができる。また、この実施例の変形としてゲート34のサイズを適宜設定することにより、ゲート絶縁層35を省略することもできる。

【0038】なお、上述の第2～第4の実施の形態において、各構成要素の材料は、第1の実施の形態で説明したものと同様である。

【0039】(4) バイポーラトランジスタ

図9に、本発明に係るトランジスタの第5の実施の形態の断面図を示す。第5の実施の形態のトランジスタは、バイポーラトランジスタに関するもので、ベース41、エミッタ42及びコレクタ43、ベース電極44、エミッタ電極45及びコレクタ電極46、基板47を備える。

【0040】npn形トランジスタでは、エミッタ42及びコレクタ43は、n形透明半導体により形成され、ベース41はp形透明半導体により形成される。ベース電極44、エミッタ電極45及びコレクタ電極46は、ベース41、エミッタ42及びコレクタ43上にそれぞれ形成される。同様に、pnp形トランジスタでは、括弧内で示したように、エミッタ42及びコレクタ43は、p形透明半導体により形成され、ベース41は、n形透明半導体により形成される。バイポーラトランジスタは、FETと比較して、大電流を流すことができるので、レーザ駆動等の大電流を必要とする場合等に、特に有利である。

【0041】以下に、各構成要素の材料について説明する。n形透明半導体としては、例えばn形ZnOが使用される。n形ZnOは、例えば、III族元素(B、Al、Ga、In、Tl)、VII族元素(F、Cl、Br、I)をドーブし、さらに3d遷移金属元素をドーブしたZnOである。p形透明半導体としては、例えばp形ZnOが使用される。p形ZnOは、例えば、I族元素(Li、Na、K、Rb、Cs)、V族元素(N、P、As、Sb、Bi)をドーブし、さらに3d遷移金属元素をドーブしたZnOである。これらの各元素のドーブ量は、素子の寸法、厚さ、集積度、性能等に応じて適宜の量とすることができる。

【0042】ベース電極44、エミッタ電極45及びコレクタ電極46の材料は、第1の実施の形態で説明したソース12、ドレイン13又はゲート14の材料と同様である。すなわち、透明電極としては、例えば、III族元素(B、Al、Ga、In、Tl)、VII族元素(F、Cl、Br、I)、I族元素(Li、Na、K、Rb、Cs)のいずれかをドーブした導電性ZnO、又は各種元素をドーブしない導電性ZnO等の透明導電性材料が用いられる。ここで、これらの元素をドーブする場合、ドーブ量は適宜設定することができる(例えば、高濃度にn形をドーブしたn⁺+-ZnO等を用いるこ

12

とができるが、これに限定されない)。さらに、ベース電極44、エミッタ電極45及びコレクタ電極46としては、その他に、In₂O₃、SnO₂、(In-Sn)O_xなどの透明導電体を用いることができる。また、透明な材料以外にも、Al、Cu等の金属や、高ドーブした半導体ポリシリコン等の透明でない電極材料を用いても良い。さらに、透明又は透明でない材料を、これら電極の全部又は一部に適宜選択して用いることができる。

【0043】また、このように、本発明の他の実施の形態では、ゲート電圧を負に大きくかけたとき、ホールのチャネルが反転し、電界でp型酸化亜鉛ができる。p型ZnOは、発光ダイオードやレーザーなどpn接合に利用できるだけでなく、C-MOS型トランジスタを作成できるので、回路設計や応用に格段の広がりができる。

【0044】(5) 積層形半導体装置

図10に、積層形半導体装置の断面図を示す。これは、一例として、第1の実施の形態のトランジスタを積層した場合を示す。すなわち、チャネル層11、ソース12、ドレイン13、ゲート14、ゲート絶縁層15及び基板16を備えたトランジスタの上に、さらに、第2のトランジスタが形成される。その際、第1のトランジスタと第2のトランジスタの間には、絶縁層57及び導電遮蔽層58が形成される。導電遮蔽層58は、第1と第2のトランジスタを電気的に遮蔽するものである。第2のトランジスタとしては、基板となる絶縁層59が形成され、その上に、第2のソース52、第2のドレイン53が形成される。さらに、これらを覆うように第2のチャネル層51が形成され、その上に、第2のゲート絶縁層55及び第2のゲート54が形成される。

【0045】絶縁層57、59の材料は、ゲート絶縁層15と同様のものでも良いし、透明基板16と同様の他の絶縁材料を用いても良い。導電遮蔽層58の材料は、ソース12、ドレイン13及びゲート14等と同様のものを使用することができる。なお、絶縁層57(又は59)を、チャネル層11(又は、チャネル層11とゲート絶縁層15)の厚さより十分厚くすることにより、導電遮蔽層58及び絶縁層59(又は57)を省略することもできる。

【0046】トランジスタを積層する際は、チャネル層11、第2のチャネル層51又は絶縁層57等は、必要に応じて適宜平坦化されると良い。なお、平坦化プロセスが加わるとコスト増加の可能性があるため、これらの内適宜の層のみを平坦化するようにしても良い。また、積層するトランジスタの数は、必要に応じて適宜の個数重ねることができる。また、上述の第1～第5の実施の形態のトランジスタを適宜選択して積層することができる。さらに、複数の種類のトランジスタを選択して混合して積層しても良い。

【0047】(6) 発光素子への適用

13

図11(A)及び(B)に、本発明に係るFETを発光素子の駆動に適用した半導体装置の断面図及び回路図を示す。図11(A)の断面図のa、b及びcは、図11(B)の回路図のa、b及びcに対応する。このデバイスでは、チャネル層61、ソース62、ドレイン63、ゲート64、ゲート絶縁層65及び基板66によりトランジスタが形成される。さらに、ドレイン63の領域の上に、半導体層67が形成されることにより、ドレイン63と半導体層67で発光部が形成される。また、ソース電極68、ゲート電極69及び発光部電極60が設けられている。発光部としては、ドレイン63としてn形半導体を使用した場合は、半導体層67はp形半導体を用いる。一方、ドレイン63としてp形半導体を用いた場合は、半導体層67はn形半導体を用いる。

【0048】半導体層67に、ゲート64と同様の透明な半導体材料を用い、発光部電極60に透明な電極材料を用いることにより、発光部は、図において上方向に面発光が可能となる。また、基板66を透明な材料とすることにより、発光部は、図において下方向に面発光が可能となる。さらに、発光領域が紫外線領域等であれば、蛍光体を発光部の上又は下(すなわち、半導体層67や発光部電極60の上、又は、基板66の下)等に配置することにより、可視光に変換することもできる。

【0049】図12(A)及び(B)に、本発明に係るバイポーラトランジスタを発光素子の駆動に適用した半導体装置の断面図及び回路図を示す。図12(A)の断面図のa、b及びcは、図12(B)の回路図のa、b及びcに対応する。このデバイスでは、ベース71、エミッタ72及びコレクタ73、ベース電極74及びコレクタ電極76、基板77により、トランジスタが形成される。さらに、エミッタ72の領域の上に、半導体層78が形成されることにより、エミッタ72と半導体層78で発光部が形成される。また、半導体層78には、発光部電極79が形成される。エミッタ72としてn形半導体を使用した場合は、半導体層78はp形半導体を用いる。一方、エミッタ72としてp形半導体を用いた場合は、半導体層78はn形半導体を用いる。

【0050】半導体層78に、ベース71と同様の透明な半導体材料を用い、発光部電極79に透明な電極材料を用いることにより、発光部は、図において上方向に面発光が可能となる。また、基板77等を透明な材料とすることにより、発光部は、図において下方向に面発光が可能となる。さらに、発光領域が紫外線領域等であれば、蛍光体を発光部の上又は下(すなわち、半導体層78や発光部電極79の上、又は、基板77の下)等に配置することにより、可視光に変換することもできる。

【0051】なお、第1〜第3の実施の形態のトランジスタについても、同様に、発光部を形成して駆動用として組み合わせることができる。また、上述の説明では、発光部の一部にソース若しくはドレイン(コレクタ若し

14

くはエミッタ)と連続した領域を使用した、これに限られず、ソース若しくはドレイン(コレクタ若しくはエミッタ)と接続された他の半導体の領域を形成して、これを発光部の一部として使用しても良い。また、発光部は、発光ダイオードでもレーザダイオードでもよく、適宜の発光デバイスを形成することができる。さらに、本発明を適用すると、透明なトランジスタにより透明なZnO発光素子を駆動することにより、全て透明な半導体装置を作成することもできる。また、一部を透明とすることもできる。

【0052】さらに、発光部としては、多層反射膜や、ダブルヘテロ構造、面発光レーザ構造など、適宜の構成を採用して組み合わせることができる。また、発光部及びトランジスタを複数個マトリクス状に配列し、各発光部を各々透明なトランジスタで駆動することにより、ディスプレイ、照明パネル、部分調光照明パネル等に適宜応用することができる。

【0053】(7)メモリへの適用

図13(A)及び(B)に、本発明に係るFETをメモリ素子の制御に適用したデバイスの断面図及び回路図を示す。図13(A)の断面図のa、b及びcは、図13(B)の回路図のa、b及びcに対応する。このデバイスでは、チャネル層81、ソース82、ドレイン83、ゲート84、ゲート絶縁層85及び基板86によりトランジスタが形成される。ソース82上には、これと同様の透明導電性材料による導電層88が形成される。さらに、ドレイン83の領域の上に、ゲート絶縁層85を介して半導体層又は導体層87が形成され、これら構成要素により、コンデンサが形成される。ここでは、コンデンサの電極間絶縁体としてゲート絶縁層85を用いているが、これとは別の絶縁層を形成して使用しても良い。また、コンデンサの電極としては、ドレイン又はソースと連続した領域を用いても良いし、ドレイン又はソースと接続されたその他の半導体領域又は導体領域を用いても良い。コンデンサを形成する電極材料としては、透明材料でも透明でない材料でもよく、一部透明材料を用いても良い。これら各層又は領域に対して適宜透明な材料を用いることにより、全体又は一部が透明なメモリを作成することができる。

【0054】また、本発明に係るバイポーラトランジスタを用いた場合にも、基板上に適宜コンデンサを形成することにより、メモリへ応用することができる。すなわち、例えば、上述の実施の形態のようなバイポーラトランジスタにおいて、コレクタ若しくはエミッタと連続した領域、又は、コレクタ若しくはエミッタと接続された他の半導体若しくは導体の領域と、この領域上の絶縁層と、絶縁層上の半導体層又は導体層とによりコンデンサを形成することができる。

【0055】なお、メモリに応用する際は、トランジスタ及びコンデンサをマトリクス状に配列し、各コンデン

サを各トランジスタで駆動することにより、メモリデバイスを実現することができる。

【0056】(8) 表面弾性波素子SAW (Surface Acoustic Wave)

図14に、本発明に係る半導体デバイスのSAWに適用した構成図を示す。図14(A)には、SAWの斜視図を、図14(B)には、そのB-B'断面図をそれぞれ示す。

【0057】SAWは、基板111、半導体層112、入力電極113及び出力電極114を備える。SAWは、入力電極113から、高周波信号が入力されると、SAWのフィルタ特性により、適宜の信号が出力電極114から出力される半導体デバイスである。半導体層112は絶縁性半導体であり、ベースとしては、第1の実施の形態で述べた各材料を適宜用いることができる。半導体層112としては、例えば、1価の価数を取りうる元素又はV族元素又は3d遷移金属元素をドーパした絶縁性ZnO、SiN、SiO₂等の透明絶縁性半導体を用いることができる。

【0058】(9) その他の応用

本発明のトランジスタは、発光素子、コンデンサ等の他の素子と同一基板に作成することができる。また、本発明のトランジスタを、同一種類又は違う種類にて複数形成し、それらトランジスタ間の配線に透明材料を用いることもできる。トランジスタ又はこのトランジスタで駆動される素子は、その一部又は全部を、適宜透明とすることができる。また、トランジスタの大きさ、厚さ、寸法、などは、用途やプロセス等に応じて適宜設計することができる。ドーパ量は、製造プロセス、デバイス性能等、必要に応じて適宜設定することができる。

【0059】また、透明n形半導体、透明p形半導体、透明導電性材料及び透明絶縁性材料として、半導体をZnOをベースとして各元素をドーパする例を述べたが、これに限られるものではない。例えば、酸化亜鉛ZnO以外にも、酸化マグネシウム亜鉛Mg_xZn_{1-x}O、酸化カドミウム亜鉛Cd_xZn_{1-x}O、酸化カドミウムCdO等適宜の透明材料をベースとして各元素をドーパするようにしても良い。

【0060】以上述べた他にも、本発明は、紫外光～X線領域の検出器を駆動して信号処理するトランジスタ、酸素センサ、そのほか、音波、SAW (Surface Acoustic Wave)、圧電性を組み合わせたデバイスに適用することにより、一部又は全部が透明な半導体装置を実現することができる。さらに、本発明は、自動車や家屋等の窓ガラスや透明プラスチック板等に電子回路を作りつけることができる。また、本発明は、コンピュータ周辺機器、例えば、キーボード、タッチパネル、ポインティングデバイスに、透明にすることができる。透明であることにより、密かに作成したり、他から見にくいように作成したり、また、デザイン面で斬新なものを提供したり

することができる。その他にも、本発明の応用範囲は、非常に広範である。

【0061】

【発明の効果】本発明によると、以上のように、ZnO等の透明なチャネル材料にNi等の3d遷移金属元素を添加することで、比較的低温(例えば、室温等)における薄膜形成によっても、所望のon-off比及び移動度を得て、従来の性能を凌駕する非常に高性能の薄膜トランジスタを形成することができる。また、本発明によると、プラスチック基板、高分子材料基板等、従来熱処理に耐えられない材料を用いて、透明電子回路を形成することができる。また、本発明によると、半導体の性能とプロセスの許容度を著しく向上させることができる。

【0062】また、本発明によると、透明トランジスタを、面発光レーザやエレクトロルミネセンス素子等の発光素子の駆動用、メモリ用等のように光デバイス分野での多様な応用に用いることができる。さらに、本発明によると、透明な電子素子として、各種の幅広い応用に用いた半導体デバイスを提供することができる。

20 【図面の簡単な説明】

【図1】本発明に係るトランジスタの第1の実施の形態の断面図。

【図2】3d遷移金属元素のドーパ量と抵抗値の関係についての説明図。

【図3】従来のトランジスタ特性の説明図。

【図4】従来のトランジスタ特性の説明図。

【図5】本発明のトランジスタの特性図(2)。

【図6】本発明に係るトランジスタの第2の実施の形態の断面図。

30 【図7】本発明に係るトランジスタの第3の実施の形態の断面図。

【図8】本発明に係るトランジスタの第4の実施の形態の断面図。

【図9】本発明に係るトランジスタの第5の実施の形態の断面図。

【図10】積層形半導体装置の断面図。

【図11】本発明に係るFETを発光素子の駆動に適用した半導体装置の断面図及び回路。

40 【図12】本発明に係るバイポーラトランジスタを発光素子の駆動に適用した半導体装置の断面図及び回路図。

【図13】本発明に係るバイポーラトランジスタを発光素子の駆動に適用した半導体装置の断面図及び回路図。

【図14】本発明に係る半導体デバイスのSAWに適用した構成図。

【符号の説明】

11 チャネル層

12 ソース

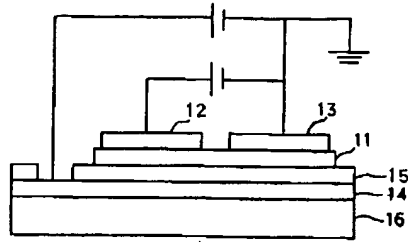
13 ドレイン

14 ゲート

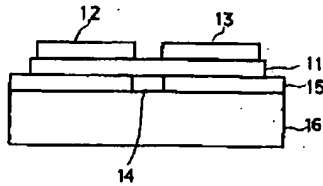
50 15 ゲート絶縁層

16 基板

【図1】

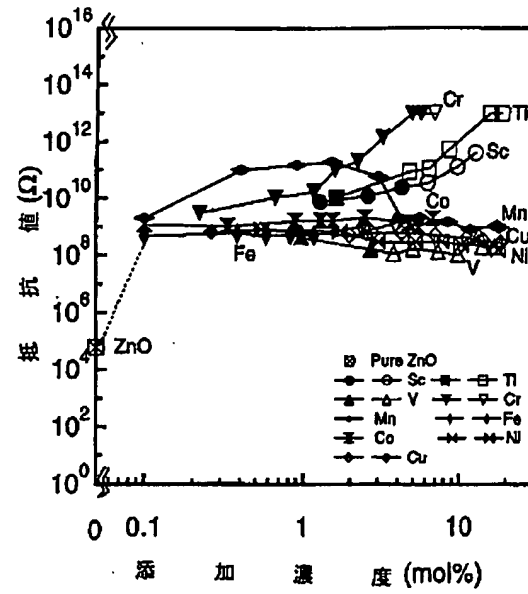


(A)

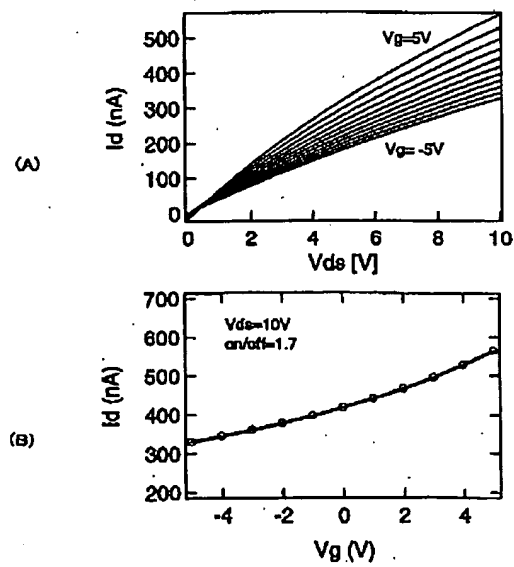


(B)

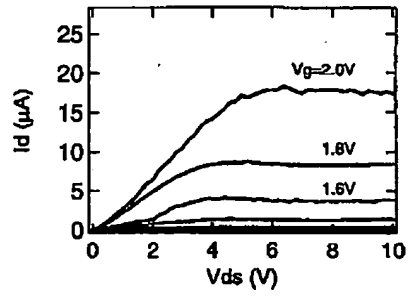
【図2】



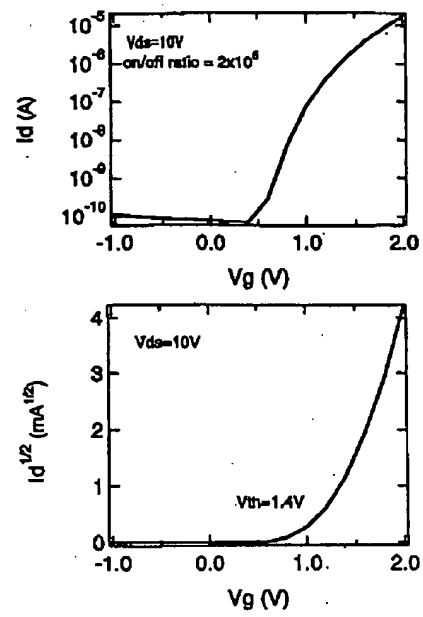
【図3】



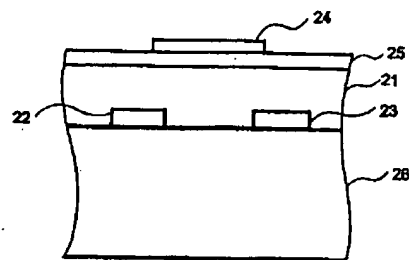
【図4】



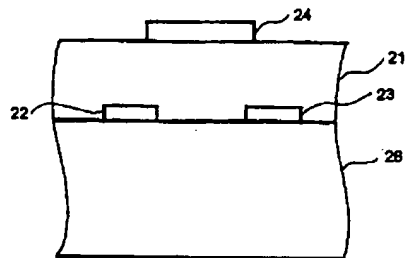
【図5】



【図7】

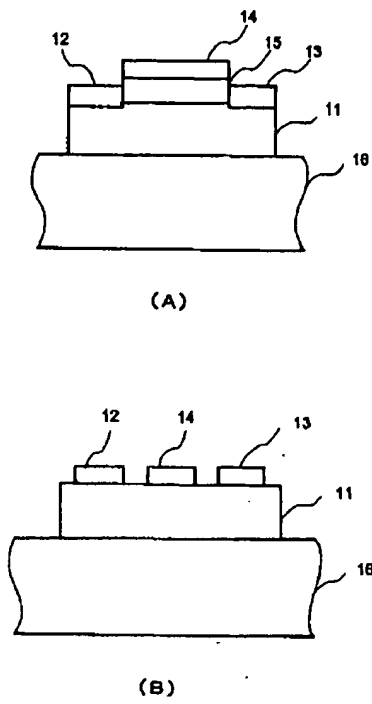


(A)

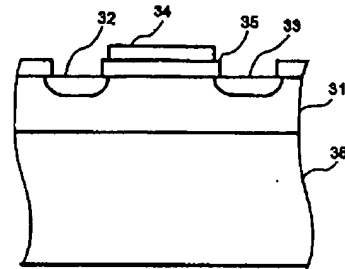


(B)

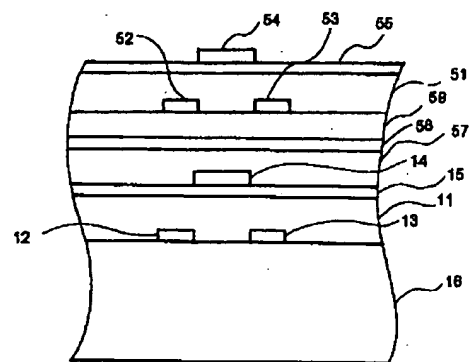
【図6】



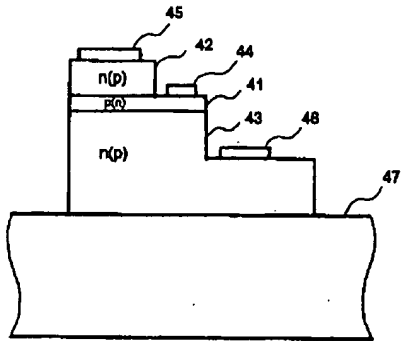
【図8】



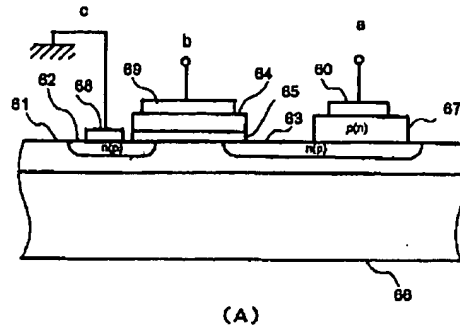
【図10】



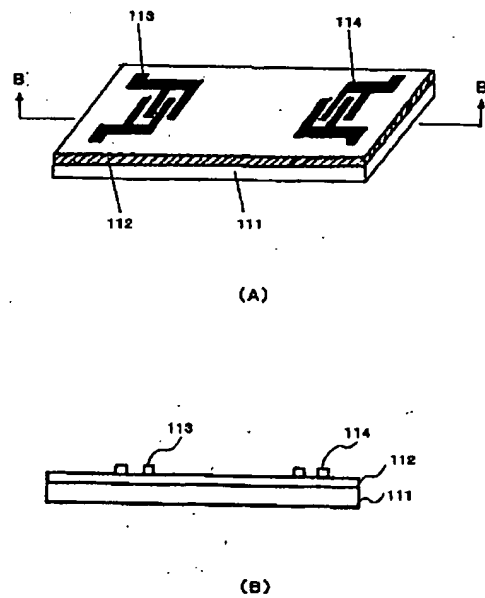
【図9】



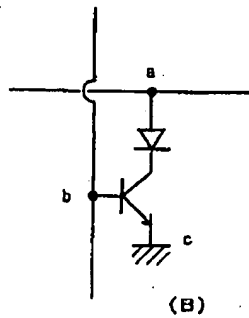
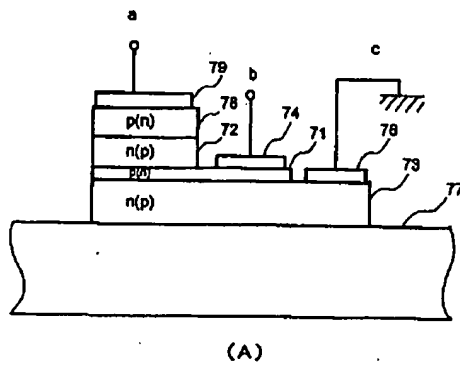
【図11】



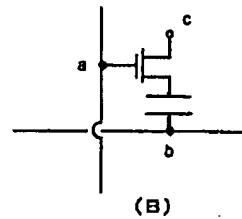
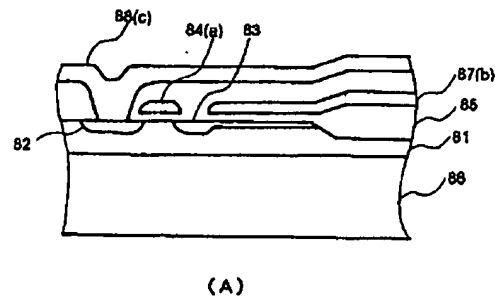
【図14】



【図12】



【図13】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 01 L 27/108		H 01 L 27/10	331 5F083
21/8242			615 5F110
21/331			651
29/73			671Z
33/00		29/72	
41/08		41/08	D
H 01 S 5/026			

Fターム(参考) 2H090 JB02 JB03
2H092 JA28 JA37 JA41 KA10 KA12
KA13 KA19 KB14 MA26 MA27
NA22 PA01
5F003 BA92 BH05 BM04 BP08 BP23
5F041 BB26 CA02 CA04 CA41 CA46
CA82 CA88 CB15 CB33 FF01
FF11
5F073 AB14 AB16 BA09 CA22 CB05
GA38
5F083 AD14 AD70 HA06 JA02 JA19
JA31
5F110 AA06 BB01 BB05 CC07 DD01
DD02 DD04 EE07 FF01 FF02
FF03 FF07 FF27 FF28 FF30
GG01 GG24 GG28 GG29 GG33
GG43 GG44 HK03 HK07 HK08
NN72